

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-208718

(P2000-208718A)

(43)公開日 平成12年7月28日(2000.7.28)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

ターミナル(参考)

H 0 1 L 27/04  
21/822  
21/82

H 0 1 L 27/04  
21/82

H 5 F 0 3 8  
L 5 F 0 6 4

審査請求 未請求 請求項の数11 O L (全 17 頁)

(21)出願番号 特願平11-10704

(22)出願日 平成11年1月19日(1999.1.19)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山本 裕雄

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100076174

弁理士 宮井 暎夫

Fターム(参考) 5F038 AV04 AV05 AV06 BH13 CA02

CA07 CD02 CD12 DF11 EZ20

5F064 BB35 CC02 CC09 CC21 DD01

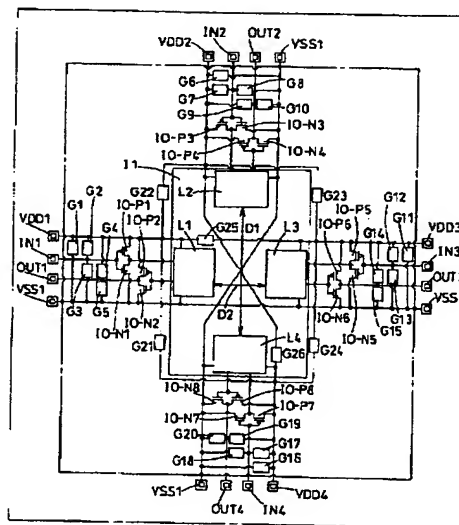
DD13 EE08 EE42 EE52

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】少なくとも4系統の電源電圧系統を有する半導体装置において、各電源系間の静電気印可時の耐量確保する為には静電気電荷の放電経路にある保護素子が多く介在し、また、放電経路の配線寄生抵抗により耐量が下がってしまう、という課題を解決した半導体装置を提供する。

【解決手段】放電経路に通常動作時の電源配線を利用し、また各電源系(例えばVDD1、VDD3)の領域の最も近い領域に保護素子(例えばG25)を配置することにより耐量を確保する。



VDD1, VDD2, ..., VDD7, VSS1, VSS2, VSS3, VSS4...  
IN1, IN2, IN3, IN4...出力端子  
OUT1, OUT2, OUT3, OUT4...出力端子  
IO-P1, IO-P2, IO-P3, IO-P4, IO-P5, IO-P6, IO-P7, IO-P8, IO-N1, IO-N2, IO-N3, IO-N4...出力端子  
G1, G2, G3, G4, G5, G6, G7, G8, G9, G10, G11, G12, G13, G14, G15, G16, G17, G18, G19, G20, G21, G22, G23, G24, G25...  
L1, L2, L3, L4...各電源系より電源を供給される誘導回路領域  
C1...半導体装置

1

## 【特許請求の範囲】

【請求項 1】 半導体装置外から前記半導体装置内に電源を供給する複数の電源端子と、

前記電源端子のうち低い電圧を供給する電源端子と他の電源端子との間に介在されてそれぞれ静電破壊電荷から半導体装置を保護する複数の第 1 の保護素子と、

前記低い電圧を供給する電源端子の相互間に介在されて各々の電源端子に対して静電破壊電荷から保護する複数の第 2 の保護素子と、

前記他の電源端子および前記低い電圧を供給する電源端子の電圧によってそれぞれ動作する半導体素子により構成される複数の電源電圧動作論理回路領域とを備え、  
それぞれの前記電源端子は論理回路動作時に相互に電気的接続は無く、かつ前記保護素子の少なくとも 1 つは中央部、もしくはその近くに配置することを特徴とする半導体装置。

【請求項 2】 半導体装置外から前記半導体装置内に電源を供給する第 1 の電源端子および第 2 の電源端子と、  
前記半導体装置外から前記半導体装置内に電源を供給する第 3 の電源端子と第 4 の電源端子と第 5 の電源端子と、

前記第 1 の電源端子および第 2 の電源端子の電圧によって動作する半導体素子により構成される第 1 の電源電圧動作論理回路領域と、

前記第 3 の電源端子と前記第 2 の電源端子を電源として動作する第 2 の電源電圧動作論理回路領域と、

前記第 4 の電源端子と前記第 2 の電源端子を電源として動作する第 3 の電源電圧動作論理回路領域と、

前記第 5 の電源端子と前記第 2 の電源端子を電源として動作する第 4 の電源電圧動作論理回路領域とを備え、

前記第 2 の電源端子は前記第 1 の電源端子の電圧に比べ低い電圧を供給する電源端子であり、

前記第 3 の電源端子、前記第 4 の電源端子、および前記第 5 の電源端子の電位は前記第 2 の電源端子電圧より高く、それぞれの電源端子は論理回路動作時に相互に電気的接続は無く、

前記第 1 の電源端子と第 2 の電源端子間、前記第 3 の電源端子と第 2 の電源端子間、第 4 の電源端子と第 2 の電源端子間、第 5 の電源端子と第 2 の電源端子間は、それぞれ静電破壊電荷から保護する保護素子を介して接続され、

前記第 1 の電源端子、第 3 の電源端子、第 4 の電源端子、および第 5 の電源端子は、相互に各々の電源端子に対して静電破壊電荷から保護する保護素子を介して接続され、

前記保護素子の少なくとも 1 つは中央部、もしくはその近くに配置することを特徴とする半導体装置。

【請求項 3】 半導体装置外から前記半導体装置内に電源を供給する複数の電源端子と、

前記電源端子が複数組の対になり、各対における電源端

2

子を電源として動作する半導体素子により構成される複数の電源電圧動作論理回路領域と、

前記各対における電源端子間に介在されてそれぞれ静電破壊電荷から保護する複数の保護素子とを備え、

それぞれの前記電源端子は論理回路動作時に相互に電気的接続は無く、かつ前記保護素子の少なくとも 1 つは中央部、もしくはその近くに配置することを特徴とする半導体装置。

【請求項 4】 半導体装置外から前記半導体装置内に電源を供給する第 1 の電源端子および第 2 の電源端子と、  
前記半導体装置外から前記半導体装置内に電源を供給する第 3 の電源端子、第 4 の電源端子、第 5 の電源端子、第 6 の電源端子、第 7 の電源端子、第 8 の電源端子と、  
前記第 1 の電源端子および前記第 2 の電源端子の電圧によって動作する半導体素子により構成される第 1 の電源電圧動作論理回路領域と、

前記第 3 の電源端子と前記第 6 の電源端子を電源として動作する第 2 の電源電圧動作論理回路領域と、

前記第 4 の電源端子と前記第 7 の電源端子を電源として動作する第 3 の電源電圧動作論理回路領域と、

前記第 5 の電源端子と前記第 8 の電源端子を電源として動作する第 4 の電源電圧動作論理回路領域とを備え、

前記第 2 の電源端子は第 1 の電源端子の電圧に比べ低い電圧を供給する電源端子であり、

前記第 3 の電源端子、第 4 の電源端子、第 5 の電源端子、第 6 の電源端子、第 7 の電源端子、および第 8 の電源端子のそれぞれの電源端子は回路動作時に相互に電気的接続は無く、

前記第 1 の電源端子と前記第 2 の電源端子、前記第 3 の電源端子と前記第 6 の電源端子、前記第 4 の電源端子と前記第 7 の電源端子、および前記第 5 の電源端子と第 8 の電源端子は、それぞれ静電破壊電荷から保護する保護素子を介して接続され、

前記第 1 電源電圧動作回路領域、前記第 2 電源電圧動作回路領域、前記第 3 電源電圧動作回路領域および前記第 4 電源電圧動作回路領域の電源端子間を相互接続する保護素子の少なくとも 1 つが、中央部もしくはその近くに配置することを特徴とする半導体装置。

【請求項 5】 半導体装置外から前記半導体装置内に電源を供給する複数の電源端子と、

前記電源端子のうち低い電圧を供給する電源端子と他の電源端子との間に介在されてそれぞれ静電破壊電荷から半導体装置を保護する複数の保護素子と、

前記他の電源端子および前記低い電圧を供給する電源端子の電圧によってそれぞれ動作する半導体素子により構成される複数の電源電圧動作論理回路領域とを備え、

それぞれの前記電源端子は論理回路動作時に相互に電気的接続は無く、かつ前記保護素子の少なくとも 1 つは半導体装置の中央部、もしくはその近くに配置することを特徴とする半導体装置。

## 3

【請求項 6】 半導体装置外から半導体装置内に電源を供給する第 1 の電源端子と第 2 の電源端子と、半導体装置外から半導体装置内に電源を供給する第 3 の電源端子と第 4 の電源端子と第 5 の電源端子と、前記第 1 の電源端子および前記第 2 の電源端子の電圧によって動作する半導体素子により構成される第 1 の電源電圧動作論理回路領域と、

前記第 3 の電源端子と前記第 2 の電源端子を電源として動作する第 2 の電源電圧動作論理回路領域と、

前記第 4 の電源端子と前記第 2 の電源端子を電源として動作する第 3 の電源電圧動作論理回路領域と、

前記第 5 の電源端子と前記第 2 の電源端子を電源として動作する第 4 の電源電圧動作論理回路領域とを備え、

前記第 2 の電源端子は第 1 の電源端子の電圧に比べ低い電圧を供給する電源端子であり、

前記第 3 の電源端子、前記第 4 の電源端子、および前記第 5 の電源端子の電位は前記第 2 の電源端子電圧より高く、それぞれの電源端子は回路動作時に相互に電氣的接続は無く、

前記第 2 の電源端子に対して、前記第 1 の電源端子、前記第 3 の電源端子、前記第 4 の電源端子、前記第 5 の電源端子が静電破壊電荷から保護する保護素子を介して相互接続し、前記保護素子の少なくとも 1 つは中央部、もしくははその近くに配置することを特徴とする半導体装置。

【請求項 7】 保護素子は、回路動作時に漏れ電流以上の電流を流さないダイオード素子もしくは MOS 型トランジスタ素子またはバイポーラ型トランジスタ素子から構成された請求項 1、請求項 2、請求項 3、請求項 4、請求項 5 または請求項 6 記載の半導体装置。

【請求項 8】 保護素子は、前記各々電源電圧動作論理回路領域への電源供給配線下に形成された請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6 または請求項 7 記載の半導体装置。

【請求項 9】 第 1 導電型の半導体基板と、この半導体基板上に形成して前記第 1 導電型の半導体基板と反対導電型であって前記半導体基板表面に対して多角形の形状で構成した第 1 の高濃度拡散領域と、この多角形の第 1 の高濃度拡散領域の辺と対向して静電破壊電荷保護素子として機能する一定距離の素子分離領域を挿入配置し前記第 1 の高濃度拡散領域と同導電型で多角形の形状を持つ第 2 の高濃度拡散領域とを備え、前記第 1 の高濃度拡散領域の各辺は前記第 2 の高濃度拡散領域と同型の拡散領域と対向することにより多角形の辺と同等数の保護素子を設け、各辺に形成される前記保護素子は異なる電源系統間の静電破壊電荷の通電経路となる接続としたことを特徴とする半導体装置。

【請求項 10】 複数の電圧耐圧を有する複数の MOS 型トランジスタ素子を有し、異なる電源電圧系統により動作している複数の回路領域が存在し、前記複数の回路

## 4

領域に対して、少なくとも 1 系統の電源電圧動作論理回路に対しての静電破壊保護素子が前記複数の MOS 型トランジスタ素子の内、低電圧耐圧の MOS 型トランジスタ素子により構成することを特徴とする半導体装置。

【請求項 11】 保護素子が複数種類の電圧耐圧 MOS 型トランジスタ素子を備えた請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7、請求項 8、請求項 9 または請求項 10 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、少なくとも 3 つの電源系統を持つ多電源系統を有する半導体装置に於ける静電破壊を防止する保護形態を有する半導体装置に関するものである。また、半導体装置の微細化による半導体素子の低電圧耐圧化と、半導体装置を接続する周辺回路の高い電圧信号に対処する為に設ける高耐圧半導体素子を有効に用いた静電破壊防止形態を有する半導体装置に関するものである。

【0002】

【従来の技術】従来、複数の電源系統を有する半導体装置、特に半導体論理回路における静電破壊防止回路技術としては、特公平 6-5705 号、特開平 7-106455 号、特開平 8-321586 号、特開平 8-316418 号、特開平 9-139466 号、特開平 10-50932 号が存在する。各公報にて開示された技術のポイントは以下の 2 つである。

(1) 各電源系統間には静電破壊電荷を通電し、接地点までの経路を確保する保護素子を設ける。(通電経路に直列に並ぶ保護素子の段数、配線の寄生抵抗等は問わない(特開平 7-106455 号、特開平 8-316418 号、特開平 9-139466 号)。

(2) 複数電源系統に対して共通の放電線を設けることを特徴として、静電破壊電荷を通電し、接地点までの経路上の保護素子数を 2 つとした静電破壊保護形態する(特開平 8-321586 号、特開平 10-50932 号)。

【0003】それぞれの技術を以下説明する。まず、従来例(1)の技術であるが、図 11 に示す LSI の回路構成を用いて説明する。図 11 では、VSS 電源は VSS1、VSS2、VSS3、VSS4 の 4 系統があり、VDD 電源は VDD1、VDD2、VDD3、VDD4 の 4 系統がある。C1 で示したチップエリア内で、I1 で示す論理回路エリア外は LSI 周辺のエリアを示している。ここで、仮に VDD1 を接地し VDD3 に正の静電破壊電荷が印加されたとすると、正電荷は接地端に向かっていく。このとき通電経路の 1 つは VDD3 から G23 の保護素子を通過して VDD2 の配線を通り、さらに G22 の保護素子を通過して VDD1 の接地端子へ流れる。もう一つの通電経路としては VDD3 から G11 の保護素子を通過して VSS1 の配線を通り、さらに G

5

1の保護素子を介してVDD1の接地端子へ到達する。どちらの経路を通電するかは保護素子の特性と配線経路の抵抗成分、容量成分により決定する。本例では、2つの保護素子を通電して静電破壊電荷を逃がす場合を示したが、同様に複数の電源系を有するLSIではより多くの保護素子を通電して静電破壊電荷を逃がすことになる。

【0004】次に従来例(2)の回路技術であるが、図12にLSI回路構成例を提示する。図11の方式に新たに共通の放電用の配線である放電線LA1をチップエ  
10  
リア周辺の外部端子の外に設け、外部端子と放電線LA1間には保護素子G40を設けたものである。この方式では、静電破壊電荷は共通の放電線LA1を介して電荷を逃がすことを考えており、いくつ電源系が存在し、どの端子に静電破壊電荷を印加しても最大2つの保護素子のみを介して電荷を逃がすことが可能となる。

【0005】一方、静電破壊保護素子の素子形状に関してであるが、CMOSプロセスでは基本的には図5に示したN+拡散領域n1、P-型ウエルp2、N+拡散領域n2、およびP+拡散領域p1で構成されるNPNバイ  
20  
ポーラ構成、もしくは図6で示したN+拡散領域n1、N+拡散領域n2およびゲートGa1で構成されるNch型MOSトランジスタ構成となる。無論、拡散領域、ウエルの極性を逆にしたPNPバイポーラ構成、Pch型MOSトランジスタ構成も場合により使用する。これらの回路をデバイスレイアウトパターンとした場合には、一般的に知られた図7、図8(A)の櫛形構成がある。また、トランジスタのゲート電極(もしくは拡散領域の分離エリア)をメッシュ状にしたメッシュゲート  
30  
保護素子、さらに多角形や円形のゲート構成とした保護素子形状が提案されている。

【0006】一方、保護素子の静電破壊電荷を逃がす際の特性を改善し、保護素子面積を小さくする為に、製造工程の追加やマスクパターンの追加が行なわれている。

【0007】

【発明が解決しようとする課題】本発明が解決する課題は、複数の電源系を1デバイス上に有するLSIに於て、静電破壊電荷からのデバイス保護を面積増加を最小限にとどめて行なうものである。

【0008】まず、最初に保護素子の説明をして、その後課題の詳細を示す。保護素子の形状は既に述べたように図5、図6で示したバイポーラ型トランジスタもしくはMOS型トランジスタで構成される。LSIが通常の動作を行なっている場合には図5のバイポーラ型トランジスタではベース端子となる基板とコレクタ端子が接続され、エミッタ端子とベース端子により構成されるN+とP-の半導体ジャンクションの逆バイアス耐圧は絶対最大定格以上の電圧となっている為に漏れ電流以上の電流は発生しない。一方、MOS型トランジスタの場合、ゲート電極はトランジスタのソースと接続されている為にL  
40  
50

6

SIが通常の動作を行なっている場合には常にオフしている。MOS型トランジスタで構成した場合の保護素子の静電破壊電荷印加時の動作はバイポーラトランジスタと同様となる。静電破壊電荷は正極性、負極性のいずれかを持ち、また帯電物や放電経路に拠って電位や電荷量、そして時間軸上の過渡特性が異なってくる。保護素子の動作を説明する上で正電荷と負電荷の静電破壊について示す。

【0009】図6のMOS型トランジスタのドレインD1に正極性を持つ静電破壊電荷が印加された場合の特性を図10の特性グラフに示す。N+の拡散領域D1とP-基板p2で構成されるダイオードは逆バイアスとなり、ドレインD1とソースS1(基板電位)の電位差が一定の電位に達し時にアバランシェブレイクダウンを生じ、ドレインから基板、そしてソースへ電流を流しはじめる。このとき、ドレインD1とソースS1の電位差はアバランシェブレイクダウンを生じた電位より低電圧ではほぼ固定される。さらに、ドレインD1電位を上げると図10の特性グラフで示した2次降伏電流、2次降伏電圧の時点で保護素子自体の破壊が生じる。図10で示した保護素子の特性はスナップバック特性とも言われるものであり、近年の微細プロセスでは、10V~15V程度でアバランシェブレイクダウン電位となり、2次降伏電圧、電流は2~3V前後で単位ゲート幅当たり、数十mA/ $\mu$ m程度となる。一方、MOS型トランジスタのドレインD1に負極性を持つ静電破壊電荷が印加された場合には、N+拡散領域D1とP-基板p2のダイオードは順方向バイアスとなり、ダイオードの両端子間の電位差が約0.7V程度で電流を流しはじめ、電位はほぼ一定に固定される。一般的に順方向バイアスの方が流せる電流量が多い。

【0010】以上の保護素子特性に加えて、外部端子から保護素子までの配線の寄生素子成分とその他の通常回路迄の配線の寄生素子成分を考慮することが重要である。静電破壊電荷による電流量は一般的に数A流れるが、寄生抵抗成分による電位の上昇と保護素子を通電した際の固定電位の和により通電経路の電位が決定され、この電位が半導体素子の耐圧を超えない値とすることが必要である。また、保護素子が電流を流し始める迄のタイミングに対して、他の半導体素子に電位がかからない様に電位上昇を遅延させる為に容量成分を場合により付加させる事も考えられる。以上の静電破壊電荷から半導体素子を保護する形態に対して本発明では主として下記の3点に関して解決するものである。

【0011】従来の技術の中で説明した従来例(1)の各電源系統間に静電破壊電荷を通電し、接地点までの経路を確保する保護形態の課題を図11を用いて説明する。まず仮に、VDD3を接地点としてOUT1に静電破壊電荷を印加したとすると、保護素子G2、保護素子G21、保護素子G24を経てVDD3端子まで電荷は

7

到達する。保護素子の通電した際の固定電圧を2Vとすると3素子直列になっている為に6Vの電位差を生じている。通電する経路の寄生抵抗はシート抵抗 $0.1\Omega/\square$ 、配線長を20mm(10mm $\square$ の半導体装置、対向する端子と仮定)、配線幅を100 $\mu\text{m}$ 、とすると20 $\Omega$ 程度となる。

【0012】静電破壊電荷による電流を1Aとすると配線寄生抵抗では20Vの電位が発生する。保護素子と配線寄生抵抗による電位は合計26Vとなる。ここで、静電破壊電荷が負極性を持っていたとすると、内部回路

(論理回路領域L1)のPchトランジスタL1P1の基板と拡散領域により形成されるダイオードL1P1D1が順方向電位により0.7Vの電位差だけで電流を流す事から、論理回路領域L3のPchトランジスタL3P1のゲート電圧に16V以上の電位がかかることが想定できる。近年の微細プロセスに於けるMOSトランジスタの瞬時ゲート耐圧が16V程度とするとPchトランジスタのゲート破壊が生じる事は容易に考えられる。

【0013】さらに複数電源系統を想定すると保護素子は直列に複数個つながり、より電位差が発生することが懸念される。

【0014】一方、従来の技術の中で説明した従来例(2)に関して、図12を使用して詳細を説明する。図12の場合では、静電破壊電荷を逃がす経路の保護素子の段数を削減したものである。その為に別途共通の放電線LA1を設けていることが最大の特徴といえる。いくつ電源系統が増加しても、最大2つの保護素子が直列に接続されるのみであるため、保護素子による電圧の上昇が上述の例で4Vのみである。ただし、この方式でも静電破壊電荷を逃がす経路上の放電線の寄生抵抗を減らすことは出来ず、また別途配線を設けることによりレイアウト面積の増加は否めない。

【0015】保護素子レイアウトとしては、図5のバイポーラ型トランジスタと図6のMOS型トランジスタのいずれかの形状をもつ、図7、図8(A)の櫛形レイアウト形状とメッシュ型レイアウトがある。n1~n8はN+半導体拡散領域、p1~p3はP+半導体拡散領域、E1はバイポーラ型トランジスタエミッタ端子、C1はバイポーラ型トランジスタコレクタ端子、D1はMOS型トランジスタドレイン端子、S1はMOS型トランジスタソース端子、Ga1、Ga2はMOS型トランジスタゲート端子、r1は基板抵抗、r2は保護素子近傍、保護素子以外の半導体素子禁止領域、v1、v2は拡散領域—アルミ配線コンタクト素子、vp1はゲート電極—アルミ配線コンタクト素子である。

【0016】櫛形レイアウト形状は従来より使用されているレイアウトであり、メッシュ型は比較的新しいレイアウト手法であるが、いずれも2系統の電位系間の保護素子である。ここで、図8(A)を使い5電源系間の保護素子レイアウト面積を計算する。対向する拡散領域の

8

辺の幅を200 $\mu\text{m}$ 、対向する拡散領域の間隔を0.5 $\mu\text{m}$ 、5系統の電源間相互に保護素子を形成する場合に櫛形保護素子では図8(A)の形状となる。保護素子の拡散領域の他の拡散領域とは対向しない辺の幅を10 $\mu\text{m}$ とすると図8(A)の保護素子レイアウト面積は横方向に115 $\mu\text{m}$ 、縦方向に200 $\mu\text{m}$ となり、総面積は23000 $\mu\text{m}^2$ となる。

【0017】本発明は、記述の課題を解決し、かつ容易に実施出来る形態の半導体装置を提案するものである。

【0018】したがって、この発明の第1の目的は、多電源系統を有するLSIに於て、如何なる静電破壊電荷も保護素子を直列に3段以下の接続とすることと、電源間の保護素子をLSI中心部、もしくはその周辺に配置することで静電破壊電荷の通電経路の寄生抵抗成分を削減することが可能となる半導体装置を提供することである。

【0019】第2の目的は、多電源系統を有するLSIで1系統でも共通電源が存在した場合には、共通の電源配線をターミナルノードとして保護素子を介した静電破壊電荷の通電経路を確保し、このとき保護素子が直列となる段数は例えば4段迄することができ、保護素子総数を削減出来る半導体装置を提供することである。

【0020】第3の目的は、保護素子の形状を多角形とし、各辺の保護素子の接続を別電源系とすることによる保護素子面積の削減を可能とする半導体装置を提供することである。

【0021】第4の目的は、近年の微細化による半導体素子の動作電源電圧の低下に対して半導体装置周辺の信号電圧が変化しないことにより、半導体装置上に2つの電圧耐圧を持つことが一般化されてきていることを有効に利用して、低電圧耐圧、低電圧クランプ素子による静電気電荷をスムーズに接地端子に逃がすことができる半導体装置を提供することである。

【0022】

【課題を解決するための手段】請求項1記載の半導体装置は、半導体装置外から半導体装置内に電源を供給する複数の電源端子と、電源端子のうち低い電圧を供給する電源端子と他の電源端子との間に介在されてそれぞれ静電破壊電荷から半導体装置を保護する複数の第1の保護素子と、低い電圧を供給する電源端子の相互間に介在されて各々の電源端子に対して静電破壊電荷から保護する複数の第2の保護素子と、他の電源端子および低い電圧を供給する電源端子の電圧によってそれぞれ動作する半導体素子により構成される複数の電源電圧動作論理回路領域とを備え、それぞれの電源端子は論理回路動作時に相互に電氣的接続は無く、かつ保護素子の少なくとも1つは中央部、もしくはその近くに配置することを特徴とするものである。

【0023】請求項1記載の半導体装置によれば、保護素子の段数を制限し、また実際の回路内への電源配線を

有効に使用して保護素子を配置することにより静電気による電荷の印加を接地端子へ逃がす経路を確保することができる。

【0024】請求項2記載の半導体装置は、半導体装置外から半導体装置内に電源を供給する第1の電源端子および第2の電源端子と、半導体装置外から半導体装置内に電源を供給する第3の電源端子と第4の電源端子と第5の電源端子と、第1の電源端子および第2の電源端子の電圧によって動作する半導体素子により構成される第1の電源電圧動作論理回路領域と、第3の電源端子と第2の電源端子を電源として動作する第2の電源電圧動作論理回路領域と、第4の電源端子と第2の電源端子を電源として動作する第3の電源電圧動作論理回路領域と、第5の電源端子と第2の電源端子を電源として動作する第4の電源電圧動作論理回路領域とを備え、第2の電源端子は第1の電源端子の電圧に比べ低い電圧を供給する電源端子であり、第3の電源端子、第4の電源端子、および第5の電源端子の電位は第2の電源端子電圧より高く、それぞれの電源端子は論理回路動作時に相互に電気的接続は無く、第1の電源端子と第2の電源端子間、第3の電源端子と第2の電源端子間、第4の電源端子と第2の電源端子間、第5の電源端子と第2の電源端子間は、それぞれ静電破壊電荷から保護する保護素子を介して接続され、第1の電源端子、第3の電源端子、第4の電源端子、および第5の電源端子は、相互に各々の電源端子に対して静電破壊電荷から保護する保護素子を介して接続され、保護素子の少なくとも1つは中央部、もしくはその近くに配置することを特徴とするものである。

【0025】請求項2記載の半導体装置によれば、請求項1と同様な効果がある。

【0026】請求項3記載の半導体装置は、半導体装置外から半導体装置内に電源を供給する複数の電源端子と、電源端子が複数組の対になり、各対における電源端子を電源として動作する半導体素子により構成される複数の電源電圧動作論理回路領域と、各対における電源端子間に介在されてそれぞれ静電破壊電荷から保護する複数の保護素子とを備え、それぞれの電源端子は論理回路動作時に相互に電気的接続は無く、かつ保護素子の少なくとも1つは中央部、もしくはその近くに配置することを特徴とするものである。

【0027】請求項3記載の半導体装置によれば、請求項1と同様な効果がある。

【0028】請求項4記載の半導体装置は、半導体装置外から半導体装置内に電源を供給する第1の電源端子および第2の電源端子と、半導体装置外から半導体装置内に電源を供給する第3の電源端子、第4の電源端子、第5の電源端子、第6の電源端子、第7の電源端子、第8の電源端子と、第1の電源端子および第2の電源端子の電圧によって動作する半導体素子により構成される第1の電源電圧動作論理回路領域と、第3の電源端子と第6

の電源端子を電源として動作する第2の電源電圧動作論理回路領域と、第4の電源端子と第7の電源端子を電源として動作する第3の電源電圧動作論理回路領域と、第5の電源端子と第8の電源端子を電源として動作する第4の電源電圧動作論理回路領域とを備え、第2の電源端子は第1の電源端子の電圧に比べ低い電圧を供給する電源端子であり、第3の電源端子、第4の電源端子、第5の電源端子、第6の電源端子、第7の電源端子、および第8の電源端子のそれぞれの電源端子は回路動作時に相互に電気的接続は無く、第1の電源端子と第2の電源端子、第3の電源端子と第6の電源端子、第4の電源端子と第7の電源端子、および第5の電源端子と第8の電源端子は、それぞれ静電破壊電荷から保護する保護素子を介して接続され、第1電源電圧動作回路領域、第2電源電圧動作回路領域、第3電源電圧動作回路領域および第4電源電圧動作回路領域の電源端子間を相互接続する保護素子の少なくとも1つが、中央部もしくはその近くに配置することを特徴とするものである。

【0029】請求項4記載の半導体装置によれば、請求項1と同様な効果がある。

【0030】請求項5記載の半導体装置は、半導体装置外から半導体装置内に電源を供給する複数の電源端子と、電源端子のうち低い電圧を供給する電源端子と他の電源端子との間に介在されてそれぞれ静電破壊電荷から半導体装置を保護する複数の保護素子と、他の電源端子および低い電圧を供給する電源端子の電圧によってそれぞれ動作する半導体素子により構成される複数の電源電圧動作論理回路領域とを備え、それぞれの電源端子は論理回路動作時に相互に電気的接続は無く、かつ保護素子の少なくとも1つは中央部、もしくはその近くに配置することを特徴とするものである。

【0031】請求項5記載の半導体装置によれば、半導体装置内の多数の電源系の内、いずれかの電源系1系統を共有した論理回路構成であった場合、請求項1の効果に加えて保護素子数を削減することが可能である。

【0032】請求項6記載の半導体装置は、半導体装置外から半導体装置内に電源を供給する第1の電源端子と第2の電源端子と、半導体装置外から半導体装置内に電源を供給する第3の電源端子と第4の電源端子と第5の電源端子と、第1の電源端子および第2の電源端子の電圧によって動作する半導体素子により構成される第1の電源電圧動作論理回路領域と、第3の電源端子と第2の電源端子を電源として動作する第2の電源電圧動作論理回路領域と、第4の電源端子と第2の電源端子を電源として動作する第3の電源電圧動作論理回路領域と、第5の電源端子と第2の電源端子を電源として動作する第4の電源電圧動作論理回路領域とを備え、第2の電源端子は第1の電源端子の電圧に比べ低い電圧を供給する電源端子であり、第3の電源端子、第4の電源端子、および第5の電源端子の電位は第2の電源端子電圧より高く、



## 11

それぞれの電源端子は回路動作時に相互に電氣的接続は無く、第2の電源端子に対して、第1の電源端子、第3の電源端子、第4の電源端子、第5の電源端子が静電破壊電荷から保護する保護素子を介して相互接続し、保護素子の少なくとも1つは半導体装置の中央部、もしくはその近くに配置することを特徴とするものである。

【0033】請求項6記載の半導体装置によれば、請求項5と同様な効果がある。

【0034】請求項7記載の半導体装置は、請求項1、請求項2、請求項3、請求項4、請求項5または請求項6において、保護素子が、回路動作時に漏れ電流以上の電流を流さないダイオード素子もしくはMOS型トランジスタ素子またはバイポーラ型トランジスタ素子から構成されたものである。

【0035】請求項7記載の半導体装置によれば、請求項1、請求項2、請求項3、請求項4、請求項5または請求項6と同様な効果がある。

【0036】請求項8記載の半導体装置は、請求項1、請求項2、請求項3、請求項4、請求項5、請求項6または請求項7において、保護素子が、各々電源電圧動作論理回路領域への電源供給配線下に形成されたものである。

【0037】請求項8記載の半導体装置によれば、請求項1、請求項2、請求項3、請求項4、請求項5、請求項6または請求項7と同様な効果がある。

【0038】請求項9記載の半導体装置は、第1導電型の半導体基板と、この半導体基板上に形成して第1導電型の半導体基板と反対導電型であって半導体基板表面に対して多角形の形状で構成した第1の高濃度拡散領域と、この多角形の第1の高濃度拡散領域の辺と対向して静電破壊電荷保護素子として機能する一定距離の素子分離領域を挿入配置し第1の高濃度拡散領域と同導電型で多角形の形状を持つ第2の高濃度拡散領域とを備え、第1の高濃度拡散領域の各辺は第2の高濃度拡散領域と同型の拡散領域と対向することにより多角形の辺と同等数の保護素子を設け、各辺に形成される保護素子は異なる電源系統間の静電破壊電荷の通電経路となる接続としたことを特徴とするものである。

【0039】請求項9記載の半導体装置によれば、多電源系保護素子の素子形状を多角形のメッシュ構成とすることで更に面積を削減することが可能となる。

【0040】請求項10記載の半導体装置は、複数の電圧耐圧を有する複数のMOS型トランジスタ素子を有し、異なる電源電圧系統により動作している複数の回路領域が存在し、複数の回路領域に対して、少なくとも1系統の電源電圧動作論理回路に対しての静電破壊保護素子が複数のMOS型トランジスタ素子の内、低電圧耐圧のMOS型トランジスタ素子により構成することを特徴とするものである。

【0041】請求項10記載の半導体装置によれば、近

## 12

年の微細化による半導体素子の動作電源電圧の低下に対して半導体装置周辺の信号電圧が変化しないことにより、半導体装置上に2つの電圧耐圧を持つことが一般化されてきていることを有効に利用して、保護素子に通電する際の電位差を低下させることが可能であり、静電気電荷印加端子から接地端子までの電位差上昇を下げることができる。

【0042】請求項11記載の半導体装置は、請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7、請求項8、請求項9または請求項10において、保護素子が複数種類の電圧耐圧MOS型トランジスタ素子を備えたものである。

【0043】請求項11記載の半導体装置によれば、請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7、請求項8、請求項9または請求項10と同様な効果がある。

【0044】

【発明の実施の形態】従来技術の課題に対して、前記の課題解決する手段を用いた技術の実施形態を以下に示す。

【0045】（実施の形態1）本発明の請求項1～4に対応する第1の実施の形態を図1、および図2を用いて説明する。図1、図2はそれぞれLSIのチップを模式的に示したものである。これらの図において、VDD1～VDD4、VSS1～VSS4は電源系統、IN1～IN4は信号入力端子、OUT1～OUT4は信号出力端子、IO-P1～IO-P8、IO-N1～IO-N8は入力信号、出力信号回路を構成する素子、G1～G36は静電破壊保護素子、L1～L4は各電源系より電源を供給される論理回路領域、C11は半導体装置枠、I1は内部論理回路領域である。

【0046】C1で示したLSIチップ内とI1で示す論理回路部分を持ち、チップ周辺に外部信号の入力／出力端子、または電源供給端子を設けている（本発明では端子をLSI外部に設けることに関しては得に規定はしていない）。各端子には言うまでもなくトランジスタ等半導体素子が接続されるが、それと共に半導体素子を外部の静電気などの過大な電荷から保護する保護素子が設けられる。半導体素子はIO-P1、IO-P2、…、IO-P8、IO-N1、IO-N2、…、IO-N8で示されるものである。接続される保護素子はG1、G2、G3、…、G36で示すものである。保護素子の機能は既に従来技術の項で示したものである。本発明において特徴となるものは図1中の保護素子G25、G26をLSIのチップ内部I1の論理回路部分に設けることにある。従来技術で既述した図11の形態では、既に述べたように複数系統の電源系を持つ場合において、直列に複数の保護素子を設け、また大きな寄生抵抗付けけることは静電破壊電荷を通電させる際に一部半導体素子に過大な電荷を与えることが考

13

えられることは既に述べた。例として図 11 を用い、また VDD3 を接地点として OUT1 に静電破壊電荷を印加した場合を説明した。同じ条件で、図 1 の構成を用いた場合について示す。VDD3 を接地し、OUT1 に静電破壊電荷を印可した場合には電荷は保護素子 G4、G25 を通電して VDD3 に到達する。このとき直列に接続された保護素子により生じる電位は合計 4V である。また、チップ内部 I1 の論理回路部分に保護素子を設けていることから配線長が短くなる。前記例と同等のチップサイズとすると 10mm の配線長程度と考えられる。また、LSI 内部の LSI の電源幹線の配線幅を 100  $\mu$ m とし、電源配線に重なり保護素子を形成すると寄生抵抗は 10  $\Omega$  である。静電破壊電荷を通電させる経路に 1A の電流が生じたとすると電荷印加端子の接地端子に対する電位差は 14V である。隣接する電源系の保護素子は保護素子 G21、G22、G23、G24 の様に隣接する領域に配置すると良いが、隣接しない電源系領域に対しては上述した様に素子のインピーダンスを下げる

ことが重要である。  
【0047】図 2 に示した回路は図 1 の共通電源 VSS1 を 4 系統の VSS に分断した場合である。この場合も同様に、隣接しない異なる電源系に対してチップ内部 I1 の論理回路部分に保護素子 G25、G26、G31～G36 を設けていることで、1 つは直列に接続される保護素子の個数を削減し、一方で配線寄生抵抗を削減している。

【0048】このように、第 1 の実施の形態では図 1 において、半導体装置外から半導体装置内に電源を供給する第 1 の電源端子 (VDD1) および第 2 の電源端子 (VSS1) と、半導体装置外から半導体装置内に電源を供給する第 3 の電源端子 (VDD2) と第 4 の電源端子 (VDD3) と第 5 の電源端子 (VDD4) と、第 1 の電源端子 (VDD1) および第 2 の電源端子 (VSS1) の電圧によって動作する半導体素子により構成される第 1 の電源電圧動作論理回路領域 (L1) と、第 3 の電源端子 (VDD2) と第 2 の電源端子 (VSS1) を電源として動作する第 2 の電源電圧動作論理回路領域 (L2) と、第 4 の電源端子 (VDD3) と第 2 の電源端子 (VSS1) を電源として動作する第 3 の電源電圧動作論理回路領域 (L3) と、第 5 の電源端子 (VDD4) と第 2 の電源端子 (VSS1) を電源として動作する第 4 の電源電圧動作論理回路領域 (L4) とを備え、第 2 の電源端子 (VSS1) は第 1 の電源端子 (VDD1) の電圧に比べ低い電圧を供給する電源端子であり、第 3 の電源端子 (VDD2)、第 4 の電源端子 (VDD3)、および第 5 の電源端子 (VDD4) の電位は第 2 の電源端子 (VSS1) 電圧より高く、それぞれの電源端子は論理回路動作時に相互に電氣的接続は無く、第 1 の電源端子 (VDD1) と第 2 の電源端子 (VSS1) 間、第 3 の電源端子 (VDD2) と第 2 の電源端子 (V

14

SS1) 間、第 4 の電源端子 (VDD3) と第 2 の電源端子 (VSS1) 間、第 5 の電源端子 (VDD4) と第 2 の電源端子 (VSS1) 間は、それぞれ静電破壊電荷から保護する保護素子を介して接続され、第 1 の電源端子 (VDD1)、第 3 の電源端子 (VDD2)、第 4 の電源端子 (VDD3)、および第 5 の電源端子 (VDD4) は、相互に各々の電源端子に対して静電破壊電荷から保護する保護素子を介して接続され、保護素子の少なくとも 1 つは中央部、もしくはその近くに配置している。

【0049】また、図 2 においては、半導体装置外から半導体装置内に電源を供給する第 1 の電源端子 (VDD1) および第 2 の電源端子 (VSS1) と、半導体装置外から半導体装置内に電源を供給する第 3 の電源端子 (VDD2)、第 4 の電源端子 (VDD3)、第 5 の電源端子 (VDD4)、第 6 の電源端子 (VSS2)、第 7 の電源端子 (VSS3)、第 8 の電源端子 (VSS4) と、第 1 の電源端子 (VDD1) および第 2 の電源端子 (VSS1) の電圧によって動作する半導体素子により構成される第 1 の電源電圧動作論理回路領域 (L1) と、第 3 の電源端子 (VDD2) と第 6 の電源端子 (VSS2) を電源として動作する第 2 の電源電圧動作論理回路領域 (L2) と、第 4 の電源端子 (VDD3) と第 7 の電源端子 (VSS3) を電源として動作する第 3 の電源電圧動作論理回路領域 (L3) と、第 5 の電源端子 (VDD4) と第 8 の電源端子 (VSS4) を電源として動作する第 4 の電源電圧動作論理回路領域 (L4) とを備え、第 2 の電源端子 (VSS1) は第 1 の電源端子 (VDD1) の電圧に比べ低い電圧を供給する電源端子であり、第 3 の電源端子 (VDD2)、第 4 の電源端子 (VDD3)、第 5 の電源端子 (VDD4)、第 6 の電源端子 (VSS2)、第 7 の電源端子 (VSS3)、および第 8 の電源端子 (VSS4) のそれぞれの電源端子は回路動作時に相互に電氣的接続は無く、第 1 の電源端子 (VDD1) と第 2 の電源端子 (VSS1)、第 3 の電源端子 (VDD2) と第 6 の電源端子 (VSS2)、第 4 の電源端子 (VDD3) と第 7 の電源端子 (VSS3)、および第 5 の電源端子 (VDD4) と第 8 の電源端子 (VSS4) は、それぞれ静電破壊電荷から保護する保護素子を介して接続され、第 1 電源電圧動作回路領域 (L1)、第 2 電源電圧動作回路領域 (L2)、第 3 電源電圧動作回路領域 (L3) および第 4 電源電圧動作回路領域 (L4) の電源端子間を相互接続する保護素子の少なくとも 1 つが、中央部もしくはその近くに配置している。

【0050】(実施の形態 2) 本発明の請求項 5、6 に対応する、第 1 の実施の形態においてさらに電源系が増加した場合の第 2 の実施の形態を図 4 に示す。G37、G38 は保護素子であり、その他は第 1 の実施の形態と同じである。



15

【0051】まず、図3は隣接しない電源系に対しての保護素子の挿入形態を示している。チップ内部I1の論理回路部分に挿入した保護素子G37が20個存在している。既に第1の実施の形態で述べたように隣接しない電源系に対してチップ内部I1に保護素子を設けることは寄生抵抗成分を削減することと直列に接続する保護素子の段数を削減する上で効果的であり、静電破壊電荷より半導体素子を保護する場合に有効である。しかしながら電源系統の増加により保護素子が増加することでLSIのチップ面積の増大が生じる。

【0052】そこで、1系統でも共通の電源がある場合は、その共有電源をターミナルノードとして保護素子の数を減らした場合を図4に示す。図4ではVSS1を共有電源としている為に保護素子G38の個数は8系統のみに削減されている。上記例の場合と同様にある電源端子を接地して、任意の端子に静電破壊電荷を印加したとする。上述の例では出力端子OUT1に静電破壊電荷を印加した場合、保護素子を介してVDD1電源配線に電荷を通電し、VDD3の接地端子の接地点まで保護素子を介して電荷を逃がしていた。第2の実施の形態の例として図4のVDD5を接地端子とした場合で、VDD1の電源配線に電荷が通電され、1つの保護素子G38に通電した後VSS1配線を一旦介するが、さらにVDD5側の保護素子G38を通電し、接地端VDD5に電荷は逃げることになる。第2の実施の形態で示した発明に関して、通常共有電源配線は図1で示した様にチップC1の外周近傍に配線されるものであるが、チップ上、対向する電源系等における電源間保護を形成する際の寄生抵抗成分を削減できるものであり、また、共通電源の外部端子をI1で示したチップ内部に設け、直接電源を供給する際に静電破壊経路を形成する場合に有効である。

【0053】このように、第2の実施の形態における半導体装置は、半導体装置外から半導体装置内に電源を供給する第1の電源端子(VDD1)と第2の電源端子(VSS1)を備え、第2の電源端子(VSS1)は第1の電源端子(VDD1)の電圧に比べ低い電圧を供給する電源端子であり、上記の2つの電源端子の電圧によって動作する半導体素子により構成される第1の電源電圧動作論理回路領域と、加えて半導体装置外から半導体装置内に電源を供給する第3の電源端子(VDD2)と第4の電源端子(VDD3)と第5の電源端子(VDD4)と第6の電源端子(VDD5)と第7の電源端子(VDD6)と第8の電源端子(VDD7)を備え、第3の電源端子(VDD2)と第4の電源端子(VDD3)と第5の電源端子(VDD4)と第6の電源端子(VDD5)と第7の電源端子(VDD6)と第8の電源端子(VDD7)の電位は第2の電源端子(VSS1)電圧より高く、それぞれの電源端子は回路動作時に電氣的接続は無く、第3の電源端子(VDD2)と第2の電源端子(VSS1)を電源として動作する第2の電

10

20

30

40

50

16

源電圧動作論理回路領域と、第4の電源端子(VDD3)と第2の電源端子(VSS1)を電源として動作する第3の電源電圧動作論理回路領域と、第5の電源端子(VDD4)と第2の電源端子(VSS1)を電源として動作する第4の電源電圧動作論理回路領域と、第6の電源端子(VDD5)と第2の電源端子(VSS1)を電源として動作する第5の電源電圧動作論理回路領域と、第7の電源端子(VDD6)と第2の電源端子(VSS1)を電源として動作する第6の電源電圧動作論理回路領域と、第8の電源端子(VDD7)と第2の電源端子(VSS1)を電源として動作する第7の電源電圧動作論理回路領域とを備え、第2の電源端子(VSS1)に対して、第1の電源端子(VDD1)、第3の電源端子(VDD2)、第4の電源端子(VDD3)、第5の電源端子(VDD4)、第6の電源端子(VDD5)、第7の電源端子(VDD6)、第8の電源端子(VDD7)が静電破壊電荷から半導体装置を保護する保護素子を介して相互接続し、保護素子の少なくとも1つは中央部、もしくはその近くに配置している。

【0054】第2の実施の形態によれば、多電源系統を有するLSIで1系統でも共通電源が存在した場合には、共通の電源配線をターミナルノードとして保護素子を介した静電破壊電荷の通電経路を確保し、異なる電源間で直列接続される保護素子段数は最大2段までとすることができ、保護素子総数を削減できる。ただし、段数は3段、4段あるいはそれ以上とすることが可能である。

【0055】なお、保護素子は、例えば半導体装置の回路動作時に漏れ電流以上の電流を流さないダイオード素子もしくはMOS型トランジスタ素子またはバイポーラ型トランジスタ素子から構成される。また保護素子は、各々電源電圧動作論理回路領域への電源供給配線下に形成される。

【0056】(実施の形態3) 本発明の請求項9に対応する第3の実施の形態を図8および図9により説明する。請求項9の発明は多角形の拡散領域で構成される保護素子の各辺を1つの電源間保護素子として構成したものであり、例として図8(B)および図9に示す構成となる。図8(B)は5系統の電源間保護素子を形成したものであり、G39で示す保護素子の領域を特に拡大したものが図9である。図8(B)で各ますめに入っているA、B、C、D、E、Fが電源系統を示すものであり、ますめの中は拡散領域である。拡散領域の各辺は対向する電源との間の保護素子となる。発明が解決しようとする課題で示した櫛形の保護素子レイアウトの面積計算と同様に本発明の実施の形態を説明する。櫛形の保護素子レイアウトでは200 $\mu$ mの幅で拡散領域が対向していた。多電源メッシュ型保護素子でも同様の拡散領域の対向幅とする条件で面積計算を行う。メッシュ内にあるますめの一辺を5 $\mu$ mとすると図8(B)に示した様

17

にまずは縦12個、横22個とすることで拡散領域対向幅 $200\mu\text{m}$ 以上が確保される。対向する拡散領域の間隔を $0.5\mu\text{m}$ とすると面積は $7892.75\mu\text{m}^2$ となる。前述の櫛形の保護素子レイアウトのレイアウト面積が $23000\mu\text{m}$ と比較すると約34.3%のレイアウト面積となり、非常に小面積となる。

【0057】このように、第3の実施の形態では、第1導電型の半導体基板と、この半導体基板上に形成して第1導電型の半導体基板と反対導電型であって半導体基板表面に対して多角形の形状で構成した第1の高濃度拡散領域 (A) と、この多角形の第1の高濃度拡散領域

(A) の辺と対向して静電破壊電荷保護素子として機能する一定距離の素子分離領域を挿入配置し第1の高濃度拡散領域 (A) と同導電型で多角形の形状を持つ第2の高濃度拡散領域 (B, C, D, E) とを備え、第1の高濃度拡散領域 (A) の各辺は第2の高濃度拡散領域

(B, C, D, E) と同型の拡散領域と対向することにより多角形の辺と同等数の保護素子を設け、各辺に形成される保護素子は異なる電源系統間の静電破壊電荷の通電経路となる接続としている。

【0058】これにより、多電源系保護素子の素子形状を多角形のメッシュ構成とすることで更に面積を削減することが可能となる。上記の多角形の角数は無限大となり、高濃度拡散領域が円形となる場合も含む。

【0059】(実施の形態4) 本発明の請求項10に対応した第4の実施の形態を図10を用いて説明する。図10において、LB1, LB2はゲート実効長、Ga2はMOS型トランジスタゲート端子、その他は他の図について説明したのと同様である。

【0060】CMOS半導体装置の標準動作電源電圧が $0.6\mu\text{m}$ プロセス世代まで5Vであったものが $0.5\mu\text{m}$ プロセス世代で3.3Vとなり、 $0.25\mu\text{m}$ プロセス世代以降で世代毎に標準動作電源電圧が低下することは周知の事実である。しかしながら、CMOS半導体装置の周辺装置は従来からの5V系信号や3.3V系信号が存在する。この為CMOS半導体装置内に異なる電圧耐圧のトランジスタを混載させることが考えられる。それぞれのトランジスタの構成に於いて異なる部分で顕著な部分はMOS型トランジスタでのゲート酸化膜厚とゲート長である。一方、CMOS半導体プロセスに於けるバイポーラ型トランジスタの構成は、MOS型トランジスタのゲートを削除した形状となる。静電破壊保護トランジスタの動作はMOS型、バイポーラ型共にバイポーラ型トランジスタ動作をする。ここで、MOS型で定義されているパラメータであるゲート長をバイポーラ型トランジスタのエミッタ、コレクタ間拡散領域間隔として使用する。ゲート長にたいしてのトランジスタのオン電圧依存性は“H. Weston, V. Lee, T. Stanik, ‘A Newly Observed High Frequency Effect on the ESD Protection Utilized in a Gigahertz NMOS Technology’, in Proc.

18

14th EOS/ESD Symposium, P. 95-98, 1992”で示されている様にゲート長が短くなるほどオン電圧が低下する。図10(A)を5V耐圧トランジスタでゲート長LB1を $0.6\mu\text{m}$ 、図10(B)を3.3V耐圧トランジスタでゲート長LB2を $0.4\mu\text{m}$ とすると、図10(C)の用にNPNトランジスタの電位は想像線K1, K3から実線K2, K4の特性へと変化する。前記資料では1/2程電位を低下させることが可能である。図1に於いて例えば、VDD1とVDD3の電源電圧が3.3VとするとG25の保護素子を3.3V耐圧トランジスタにて構成することで保護素子を通電する際に発生させる電位差を低下させることが可能となる。

【0061】このように、第4の実施の形態では、複数の電圧耐圧を有する複数のMOS型トランジスタ素子

(図10(A), (B))を有し、異なる電源電圧系統により動作している複数の回路領域が存在し、複数の回路領域に対して、少なくとも1系統の電源電圧動作論理回路に対しての静電破壊保護素子が複数のMOS型トランジスタ素子(図10(A), (B))の内、低電圧耐圧のMOS型トランジスタ素子(図10(B))により構成している。

【0062】これにより、近年の微細化による半導体素子の動作電源電圧の低下にたいして半導体装置周辺の信号電圧のが変化しないことにより、半導体装置上に2つの電圧耐圧を持つことが一般化されてきていることを有効に利用して、保護素子の通電する際の電位差を低下させることが可能であり、静電電荷印加端子から接地端子までの電位差上昇を下げるができる。

【0063】なお、電源端子数は上記の各実施の形態に記載に限らずそれ以上でもよく、その際にも上記の接続関係を拡張して適応可能である。また保護素子は、半導体装置の回路動作時に漏れ電流以上の電流を流さないダイオード素子もしくはMOS型トランジスタ素子またはバイポーラ型トランジスタ素子から構成されてもよい。また保護素子が各々電源電圧動作論理回路領域への電源供給配線下に形成されてもよい。さらに保護素子は2種類の電圧耐圧を有するMOS型トランジスタ素子に限らず、半導体装置において2種類以上の電圧耐圧MOS型トランジスタ素子を用いたものでもよい。

【0064】

【発明の効果】請求項1記載の半導体装置によれば、保護素子の段数を制限し、また実際の回路内への電源配線を有効に使用して保護素子を配置することにより静電気による電荷の印加を接地端子へ逃がす経路を確保することができる。

【0065】請求項2記載の半導体装置によれば、請求項1と同様な効果がある。

【0066】請求項3記載の半導体装置によれば、請求項1と同様な効果がある。

【0067】請求項4記載の半導体装置によれば、請求

## 19

項 1 と同様な効果がある。

【0068】請求項 5 記載の半導体装置によれば、半導体装置内の多数の電源系の内、いずれかの電源系 1 系統を共有した論理回路構成であった場合、請求項 1 の効果に加えて保護素子数を削減することが可能である。

【0069】請求項 6 記載の半導体装置によれば、請求項 5 と同様な効果がある。

【0070】請求項 7 記載の半導体装置によれば、請求項 1、請求項 2、請求項 3、請求項 4、請求項 5 または請求項 6 と同様な効果がある。

【0071】請求項 8 記載の半導体装置によれば、請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6 または請求項 7 と同様な効果がある。

【0072】請求項 9 記載の半導体装置によれば、多電源系保護素子の素子形状を多角形のメッシュ構成とすることで更に面積を削減することが可能となる。

【0073】請求項 10 記載の半導体装置によれば、近年の微細化による半導体素子の動作電源電圧の低下に対して半導体装置周辺の信号電圧が変化しないことにより、半導体装置上に 2 つの電圧耐圧を持つことが一般化されてきていることを有効に利用して、保護素子に通電する際の電位差を低下させることが可能であり、静電気電荷印加端子から接地端子までの電位差上昇を下げることができる。

【0074】請求項 11 記載の半導体装置によれば、請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7、請求項 8、請求項 9 または請求項 10 と同様な効果がある。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態を示す回路図である。

【図 2】本発明の第 1 の実施の形態の変形形態を説明する回路図である。

【図 3】本発明の第 2 の実施の形態の前提となる例を説明する説明図である。

【図 4】本発明の第 2 の実施の形態を説明する回路図である。

【図 5】バイポーラ型トランジスタ保護素子の形状を説明する概略断面図である。

【図 6】MOS 型トランジスタ保護素子の形状を説明する概略断面図である。

【図 7】バイポーラ型トランジスタ保護素子の櫛形構成レイアウトパターン図である。

## 20

【図 8】(A) はバイポーラ型トランジスタ保護素子の多電源系櫛形構成の第 3 の実施の形態の前提となるレイアウトパターン、(B) はバイポーラ型トランジスタ保護素子の多電源メッシュ構成レイアウトパターンであり、第 3 の実施の形態を説明する図である。

【図 9】図 8 (B) のレイアウトの一部を切り出した拡大図である。

【図 10】第 4 の実施の形態を示し、(A) は MOS 型トランジスタ保護素子の内、ゲート長が長いトランジスタを示し、(B) は MOS 型トランジスタ保護素子の内、ゲート長が短いトランジスタを示し、(C) はトランジスタ保護素子のスナップバック特性であり、ゲート長の差異による特性差を示したものである。

【図 11】従来例 (1) を説明する回路図である。

【図 12】従来例 (2) を説明する回路図である。

【符号の説明】

VDD1, VDD2, . . . VDD7, VSS1, VSS2, VSS3, VSS4 : 電源系統

IN1, IN2, IN3, IN4 : 信号入力端子

OUT1, OUT2, OUT3, OUT4 : 信号出力端子

IO-P1, IO-P2, . . . IO-P8, IO-N1, IO-N2, . . . IO-N8 : 入力信号、出力信号回路を構成する素子

G1, G2, . . . G40 : 静電破壊保護素子

L1, L2, L3, L4 : 各電源系より電源を供給される論理回路領域

C1 : 半導体装置枠

I1 : 内部論理回路領域

n1, n2, . . . n9 : N+ 半導体拡散領域

p1, p2, p3 : P+ 半導体拡散領域

E1 : バイポーラ型トランジスタエミッタ端子

C1 : バイポーラ型トランジスタコレクタ端子

D1 : MOS 型トランジスタドレイン端子

S1 : MOS 型トランジスタソース端子

Ga1, Ga2 : MOS 型トランジスタゲート端子

r1 : 基板抵抗

r2 : 保護素子近傍、保護素子以外の半導体素子禁止領域

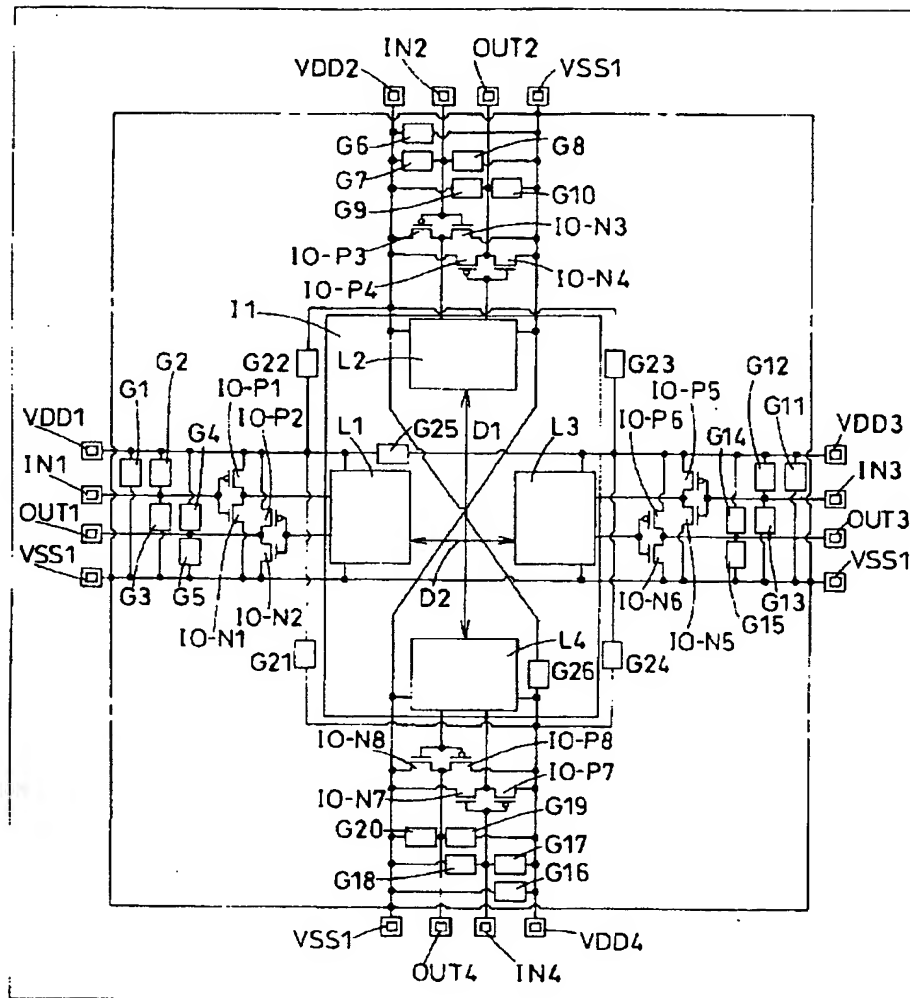
v1, v2 : 拡散領域-アルミ配線コンタクト素子

vp1 : ゲート電極-アルミ配線コンタクト素子

A, B, C, D, E : 電源系統/高濃度拡散領域

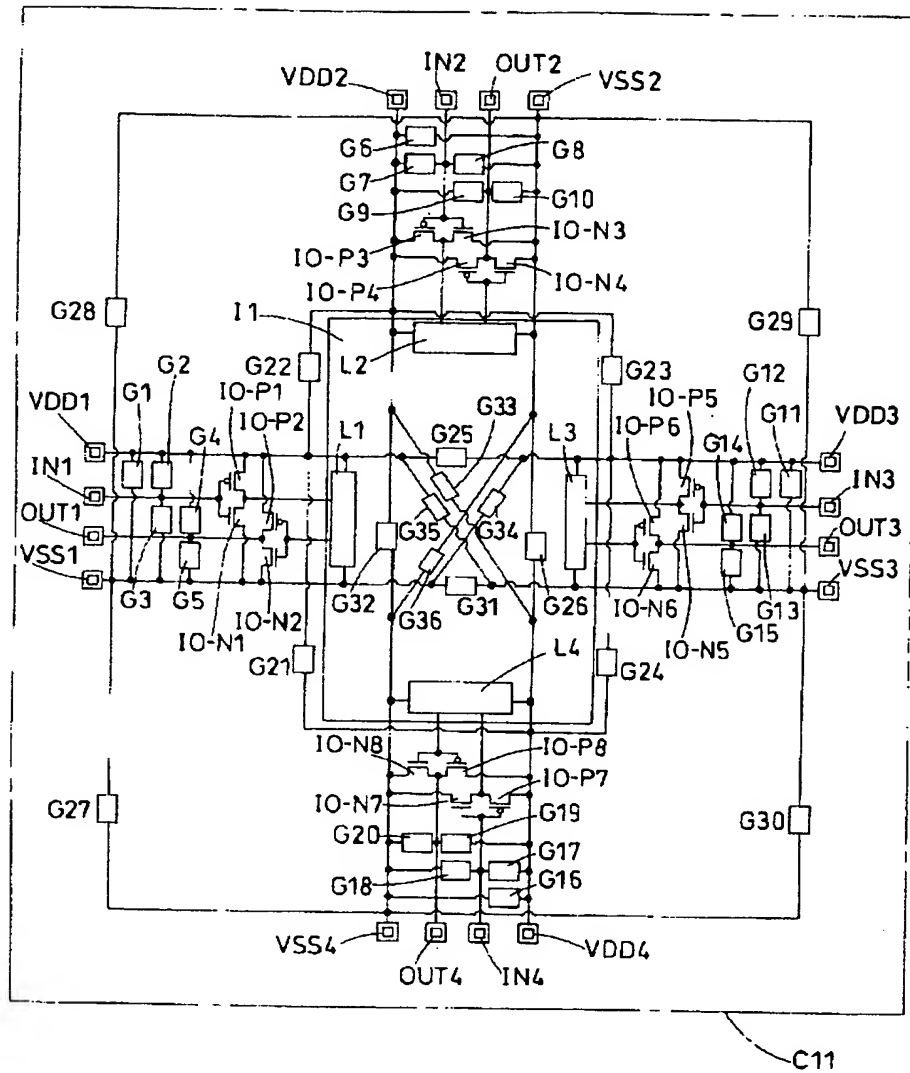
LB1, LB2 : ゲート実効長

【図1】

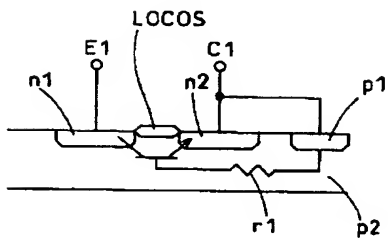


VDD1, VDD2, ... VDD7, VSS1, VSS2, VSS3, VSS4...電源系統  
 IN1, IN2, IN3, IN4...信号入力端子  
 OUT1, OUT2, OUT3, OUT4...信号出力端子  
 IO-P1, IO-P2, ... IO-P8, IO-N1, IO-N2, ... IO-N8...入力信号、出力信号回路を構成する素子  
 G1, G2, ... G38...静電破壊保護素子  
 L1, L2, L3, L4...各電源系より電源を供給される論理回路領域  
 C11...半導体装置枠

【図2】

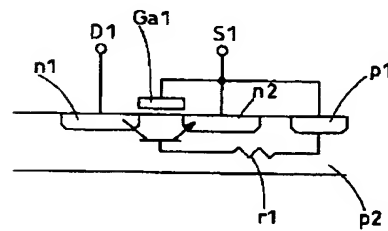


【図5】



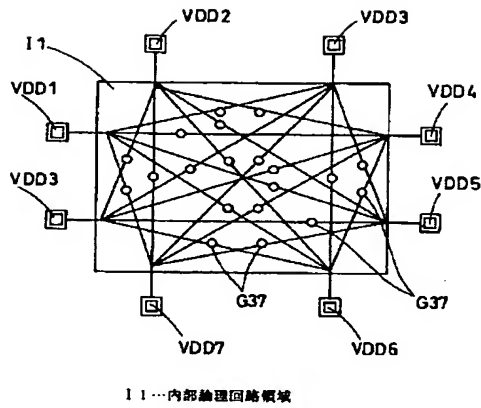
n1, n2, ..., n9...N+半導体拡散領域  
 p1, p2, p3...P+半導体拡散領域  
 E1...バイポーラ型トランジスタエミッタ端子  
 C1...バイポーラ型トランジスタコレクタ端子

【図6】

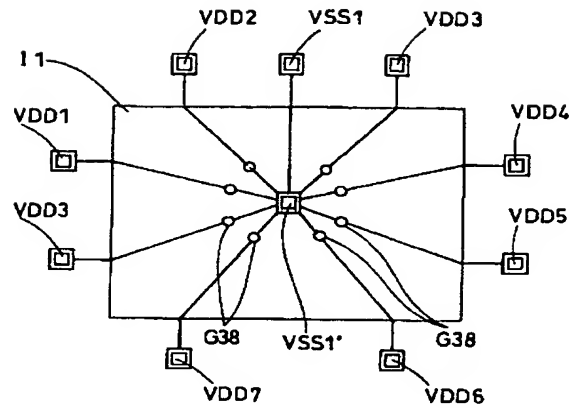


D1...MOS型トランジスタドレイン端子  
 S1...MOS型トランジスタソース端子

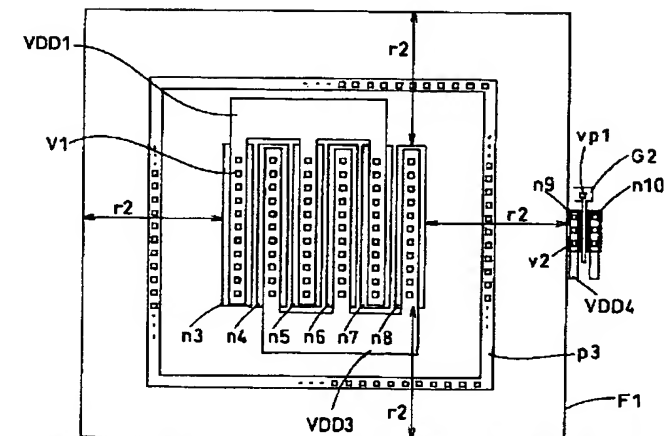
【図3】



【図4】

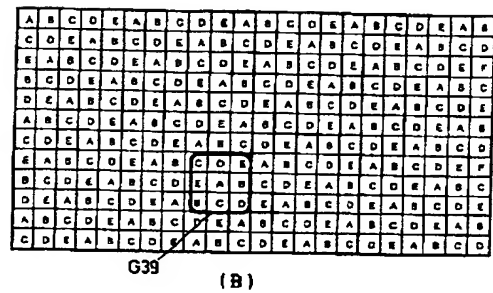
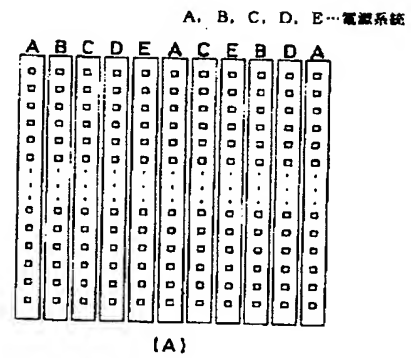


【図7】



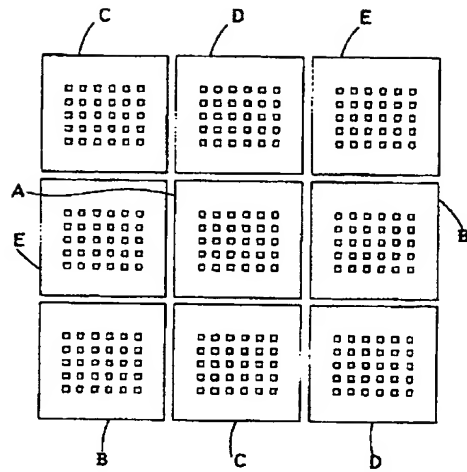
r1…基準低圧 V1, V2…拡散領域—アルミ配線コンタクト素子  
r2…保護素子近傍、保護素子以外の半導体素子禁止領域 vp1…ゲート領域—アルミ配線コンタクト素子

【図8】

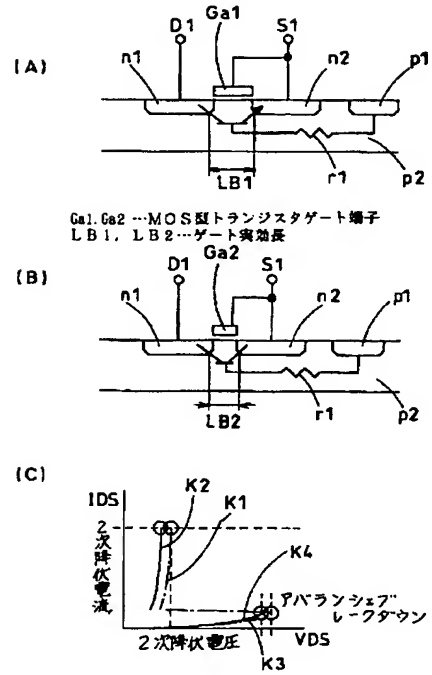




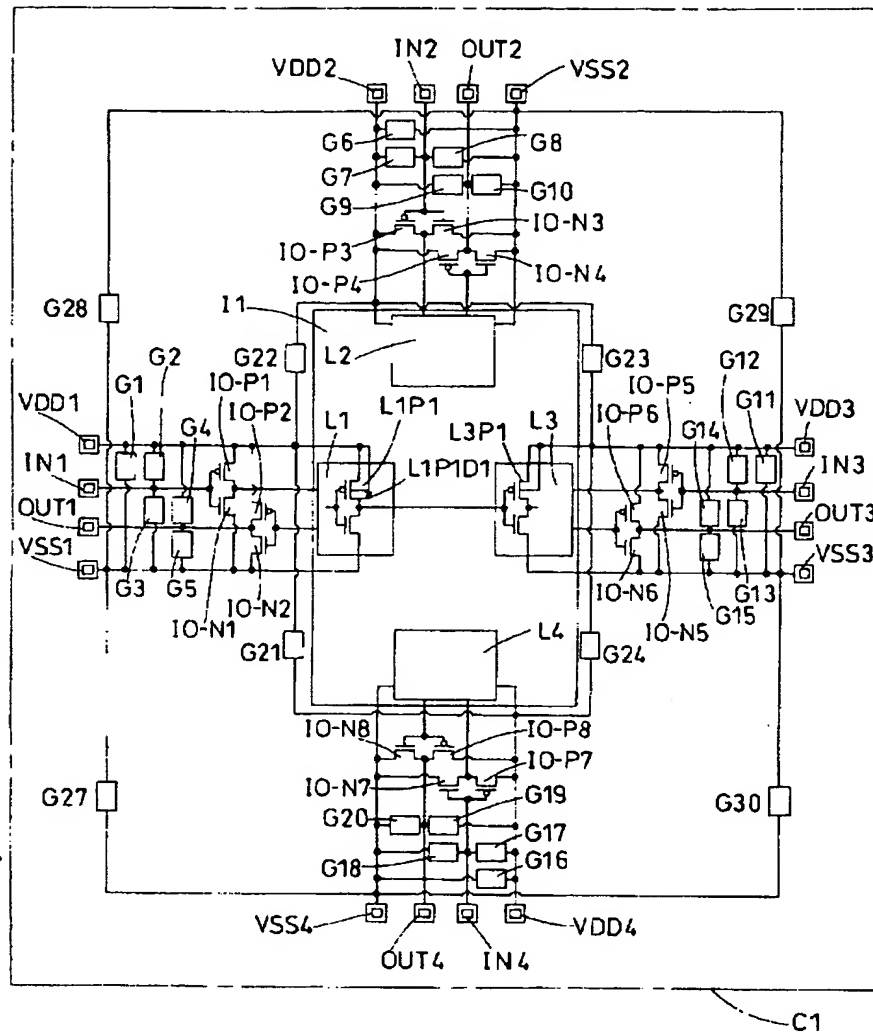
【図9】



【図10】



【図 11】



【図12】

